

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-020401

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

G06F 12/14

B41J 5/30

B41J 29/38

G06F 3/12

(21)Application number : 10-192130

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 07.07.1998

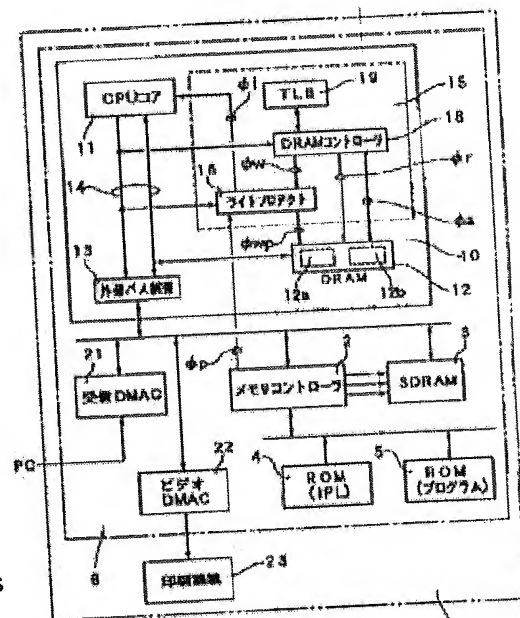
(72)Inventor : MARUYAMA MICHIO

(54) CPU DEVICE, INFORMATION PROCESSOR AND CONTROL METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high-reliability CPU device by preventing a CPU from reloading a program copied in a DRAM by itself concerning the CPU device with built-in DRAM.

SOLUTION: Concerning a CPU device 10 with a built-in CPU core 11 and DRAM 12, a managing part 15 for managing the DRAM 12 is provided with a write protect circuit 16 for inhibiting write to the prescribed address of the DRAM 12. At the time of copying the program into the DRAM 12, write inhibition is canceled and after copy, the program is executed in the state of write inhibition. When a write instruction is outputted to the address of write inhibition, an interruption signal is returned to the CPU core 11. Thus, the program is prevented from being reloaded, a module, to which an illegal access is performed, is specified and program development efficiency can be improved as well.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-20401

(P2000-20401A)

(43) 公開日 平成12年1月21日(2000.1.21)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 0 6 F 12/14	3 1 0	G 0 6 F 12/14	3 1 0 F 2 C 0 6 1
B 4 1 J 5/30		B 4 1 J 5/30	Z 2 C 0 8 7
29/38		29/38	Z 5 B 0 1 7
G 0 6 F 3/12		G 0 6 F 3/12	B 5 B 0 2 1

審査請求 未請求 請求項の数12 O L (全 9 頁)

(21) 出願番号 特願平10-192130

(22) 出願日 平成10年7月7日(1998.7.7)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 丸山 三千男

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

Fターム(参考) 2C061 ARO1 HH01 HJ10

2C087 BC01 BD41 DA13

5B017 AA02 BA01 BB03 CA11

5B021 AA02 AA19 BB01 CC06 DD20

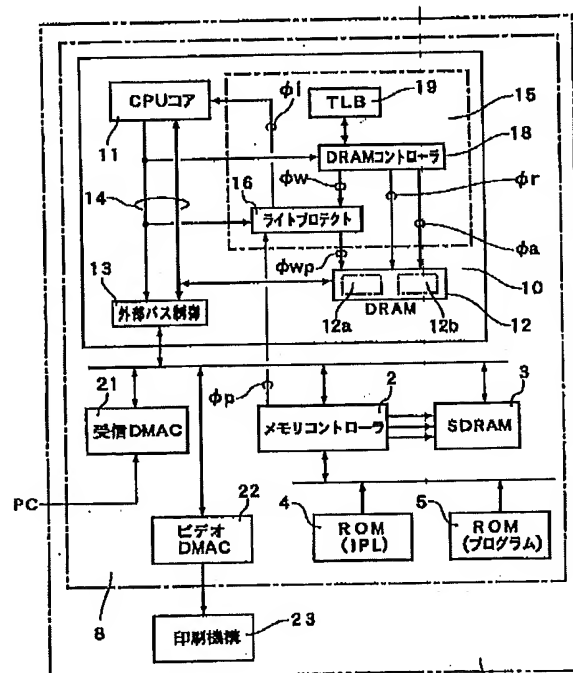
EEO1 LL05 NN15

(54) 【発明の名称】 CPU装置、情報処理装置およびその制御方法

(57) 【要約】

【課題】 DRAMを内蔵したCPU装置において、DRAMにコピーされたプログラムをCPU自身で書き換えてしまうのを防止し、信頼性の高いCPU装置を提供する。

【解決手段】 CPUコア11およびDRAM12を内蔵したCPU装置10において、DRAM12を管理する管理部15にDRAM12の所定のアドレスに対する書き込みを禁止するライトプロテクト回路16を設ける。DRAM12にプログラムをコピーするときは書き込み禁止を解除し、コピーした後に書き込み禁止としてプログラムを実行する。書き込み禁止のアドレスに対して書き込み指示が出されたときは割り込み信号をCPUコア11に返すことにより、プログラムが書き換えられるのを未然に防止すると共に、不正なアクセスが行われたモジュールを特定してプログラム開発効率も向上できるようにする。



【特許請求の範囲】

【請求項1】 CPUコア部と、RAM部と、このRAM部に対する入出力を管理するRAM管理部と、前記CPUコア部、RAM部およびRAM管理部を接続するバスとが内蔵されたCPU装置であって、
前記RAM管理部は、前記RAM部の特定のアドレスに対する書き込みを禁止可能な保護機能を備えていることを特徴とするCPU装置。

【請求項2】 請求項1において、前記RAM管理部は、前記CPUコア部から前記保護機能によって書き込み禁止されているアドレスに対する書き込み指示が出力されると不正であることを前記CPUコア部に通知する通知機能を備えていることを特徴とするCPU装置。

【請求項3】 請求項1において、前記RAM管理部は、前記CPUコア部から出力されたアドレスをデコードし、書き込み禁止されているアドレスであれば前記RAM部に対して書き込み許可信号を出力しないライトプロテクト回路を備えていることを特徴とするCPU装置。

【請求項4】 請求項1において、前記RAM管理部は、前記CPUコア部から出力された仮想アドレスを前記RAM部の物理アドレスに変換する変換バッファを備えており、この変換バッファが、前記物理アドレス内に書き込み禁止するアドレスを設定する機能を備えていることを特徴とするCPU装置。

【請求項5】 請求項1において、前記RAM部はDRAMであることを特徴とするCPU装置。

【請求項6】 請求項1に記載のCPU装置と、このCPU装置で実行可能なプログラムを記憶した外部記憶装置とを有し、前記RAM部の書き込み禁止可能な領域を書込み可能にして前記外部記憶装置のプログラムの少なくとも1部をコピーする第1の機能と、前記RAM部の書き込み禁止可能な領域を書込み禁止にして前記RAM部にコピーされたプログラムを実行する第2の機能とを備えていることを特徴とする情報処理装置。

【請求項7】 請求項2に記載のCPU装置と、このCPU装置で実行可能なプログラムを記憶した外部記憶装置とを有し、前記RAM部の書き込み禁止可能な領域を書込み可能にして前記外部記憶装置のプログラムの少なくとも1部をコピーする第1の機能と、前記RAM部の書き込み禁止可能な領域を書込み禁止にして前記RAM部にコピーされたプログラムを実行する第2の機能と、不正であることが通知されると、前記RAM部にコピーされたプログラムのモジュールの中からその書き込み指示を出力したモジュールを特定して出力する第3の機能とを備えていることを特徴とする情報処理装置。

【請求項8】 請求項6または7において、前記外部記憶装置はROMであることを特徴とする情報処理装置。

【請求項9】 請求項6または7に記載の情報処理装置と、前記CPU装置により処理された印刷データを印刷する印刷機構とを有することを特徴とする印刷装置。

【請求項10】 書き込み禁止可能な領域を設定できるRAMを内蔵したCPU装置と、このCPU装置で実行可能なプログラムを記憶した外部記憶装置とを有する情報処理装置の制御方法であって、
前記RAMの書き込み禁止可能な領域を書込み可能にして前記外部記憶装置のプログラムの少なくとも1部をコピーする第1の工程と、
前記RAMの書き込み禁止可能な領域を書込み禁止にして前記RAMにコピーされたプログラムを実行する第2の工程とを有することを特徴とする情報処理装置の制御方法。

【請求項11】 請求項10において、前記第2の工程では、前記RAMにコピーされたプログラムから書き込み禁止した領域のアドレスに対する書き込み指示があると、前記RAMにコピーされたプログラムのモジュールの中からその書き込み指示を出力したモジュールを特定して出力することを特徴とする情報処理装置の制御方法。

【請求項12】 書き込み禁止可能な領域を設定できるRAMを内蔵したCPU装置の前記RAMの書き込み禁止可能な領域を書込み可能にし、該CPU装置で実行可能なプログラムを記憶した外部記憶装置からそのプログラムの少なくとも1部をコピーする第1の処理と、
前記RAMの書き込み禁止可能な領域を書込み禁止にして前記RAMにコピーされたプログラムを実行する第2の処理とを実行可能な命令を有する設定プログラムが記録されていることを特徴とする前記CPU装置に読み取り可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、プリンタその他の情報処理装置に搭載されるCPU装置、およびこれを用いた情報処理装置に関するものである。

【0002】

【従来の技術】 プリンタなどの特定の処理を行う情報処理装置においては、ROMに予め記憶されていた実行用のプログラムを入出力速度の速いRAMにコピーし、RAM上のプログラムをCPUで実行することにより処理速度を向上することが行われている。

【0003】

【発明が解決しようとする課題】 カラープリンタなどにおいては、CPUで処理するデータ量が膨大となり、PC（パーソナルコンピュータ、パソコン）から入力された印刷用のデータを記憶し、あるいは、そのデータを処理した中間コードを蓄積し、さらには、カラープリントを行う印刷機構（プリントエンジン）に送る描画用のデータを記憶するためにも記憶容量の大きなRAMが必要となっている。また、プリンタ側で処理する機能が増加していること、汎用性を高めるためにプリンタに搭載される言語の種類が増えていることなどの要因によりプログラムを記憶するために必要とされる記憶領域も大きく

なっている。

【0004】一方、RAMの市場価格は低下しているというものの、記憶容量の大きなRAMは高価であり、さらに、SDRAMのような入出力速度の速いRAMも市販されているが、このような高速のRAMは記憶容量に対してコストが高い。したがって、低コストで処理速度の速いプリンタを実現するためには、適当な記憶容量のRAMの記憶領域を処理用のデータを記憶する領域と、プログラムをコピーする領域とに効率良く割り当てることが重要になっている。

【0005】1つの方法として、図1に示すように、仮想アドレスを物理アドレスに変換する機能を備えたTLB (Translation Lookaside Buffer) 19などのメモリマネージメントユニット(MMU)を用い、ROM5に記憶されたプログラムのうち、プリンタで処理する1つのジョブに必要なプログラムモジュールに限定してRAM3にコピーし、そのモジュールにRAMの物理アドレスを割り付けてRAM上で実行することが検討されている。この方法であれば、プログラムモジュールをコピーするために必要とされるRAMの領域を小さくすることが可能となり、RAMの記憶容量を有効に活用できる。したがって、RAMの記憶容量が大きくなりすぎること

はなく、また、SDRAMのような高価なメモリをであっても、限られた記憶容量をプログラムおよびデータの記憶領域として有効活用し、処理速度の速いプリンタを低コストで実現することができる。

【0006】図1に概要をブロック図で示したシステムは、プリンタ1の制御システムの概要であり、CPUコア11およびTLB19を内蔵したCPU装置10と、作業用の記憶領域となるSDRAM3と、このメモリのアドレス、入出力管理および他のメモリの管理などを行うメモリコントローラ2と、これらを接続するCPUバス6とを備えている。メモリコントローラ2にはさらに、外部バス7を介して初期設定用のプログラム(IPL)を記憶したROM4と、描画処理機能、言語処理機能などの実行用の複数のプログラムモジュールを記憶したROM5とが接続されており、これらのプログラムがCPUコア11にロードされてプリンタ1が動作する。CPUバス6には、さらに、PC(不図示)などから印刷用のデータをSDRAM3の所定の記憶領域にDMA

転送する受信用のDMAコントローラ21と、CPUコア11で処理された描画用のデータをSDRAM3の所定の領域から印刷機構(エンジン)23にDMA転送するためのDMAコントローラ22も接続されている。

【0007】さらに、近年、図2に示すように、CPUコア11と共に2-3MB程度のDRAM12と、このDRAM12の入出力およびアドレスを管理するDRAMコントロール回路18とを内蔵し、外部バス制御回路13を介してCPUバス6と接続されるCPU装置10をプリンタ1の制御システムとして用いることが検討さ

れている。もちろん、CPU装置に内蔵されるDRAMの記憶容量は上記に限定されないが、現状ではCPUチップのサイズおよびコストの面から記憶容量の極端に大きなDRAMをCPU装置に内蔵することは困難である。しかしながら、このCPU装置に内蔵されたDRAMにプログラムをコピーして実行すれば、チップ同士のインタフェースあるいはチップを接続するためのバスのアクセススピードなどの制限がないために処理速度は最も速くすることが可能である。

10 【0008】さらに、上述したTLBを用いた手法などによってRAM上にコピーするプログラムモジュールを限定することができるのであれば、実際にCPU装置に内蔵された限られた記憶容量のDRAMをプログラムをコピーする領域として用い、DRAM12でプログラムを実行することが可能となる。特に、汎用的なアプリケーションを実行し、それらに対して高速で処理できることが期待されるPCと異なり、プリンタ、スキャナなどの所定の用途に特化した情報処理装置においては、ジョブ単位で考えるとCPUで実行されるプログラムモジュールは限定されている。したがって、TLBなどのMMUを用いた仮想記憶手法を用いても、TLBミスによるページングなどの処理のためにCPUの処理時間が割かれる機会はほとんどなく、処理速度を大幅に向上することが

30 【0009】PC用のCPU装置には1次キャッシュ用にDRAM(ダイナミックRAM)よりもアクセスサイクルの短いSRAM(スタティックRAM)が内蔵されているものがある。キャッシュ用のメモリ上のデータは、外部のRAMあるいはハードディスクなどの記憶媒体上のデータと同一性を担保する必要がある。このため、ライトスルーあるいはライトバックキャッシュ方式のキャッシュ管理用の回路を、回路規模の大きなSRAMと共に内蔵する必要があるので、キャッシュ用の面積が非常に大きくなり、キャッシュの記憶容量を大きくすることは困難である。これに対し、DRAMは記憶容量に対し回路規模が小さくて良いのでCPU装置内に記憶容量の大きなメモリを比較的低コストで内蔵することができる。

40 【0010】さらに、PCのような汎用的な情報処理装置ではなく、プリンタのように特定の用途に特化した情報処理装置においては、上述したように、CPU装置に内蔵されたメモリは、プログラムを実行するためにコピーする領域として、あるいは、データが外部のRAMあるいはハードディスク上のデータとの同一性を保持する必要のない一時的な作業領域として利用されるので、キャッシュ管理用の回路は不要である。また、上述したように、プリンタなどの用途の特化した情報処理装置においては、ジョブ単位で考えるとCPU装置内のメモリを書き換える頻度は少ないのでDRAMで十分に処理速度を向上する効果が期待できる。このように、DRAMを

内蔵したCPU装置を採用することにより、低コストで処理能力の高いプリンタを提供することができる。

【0011】しかしながら、CPU装置内のDRAM12を用いて作業が行われると、CPU装置10の外ではその状態を監視することができないという問題がある。CPU装置内のDRAM12のプログラム用の領域にROM5から実行プログラムの必要なモジュールがコピーされ、このDRAM12からCPUコア11が命令をフェッチし、その命令にしたがってデータをDRAM12の作業領域に出力するような処理を考える。

【0012】この処理では、DRAM12に対しライト信号 ϕ_w 、リード信号 ϕ_r 、アドレス信号 ϕ_a の各信号が入力され、データ信号が入出力されるが、これらの内、ライトおよびリード信号、さらにアドレス信号は、CPUコア11と内部バス14のアドレスバス14aでつながったDRAMコントローラから供給される。また、DRAM12に入出力されるデータもCPUコア11と内部バス14のデータバス14dを介して交換される。したがって、DRAM12に対する信号はすべてCPU装置10の内部で交換されるので、CPU装置の外部から実行状況を監視することができない。したがって、万一、DRAM12にコピーしたときの不具合、あるいはROM5に収納された実行プログラムの不具合によってDRAM12に不正なアクセスがあり、コピーされたプログラムの一部が書き換えられても、それを監視することができない。このため、間違えて書き換えられた命令をフェッチするとCPUコア11はさらに不正なアクセスを繰り返したり、あるいは異常な命令であるとしてその後の処理を停止する。そして、この段階でようやく異常が発生したことを把握できるが、そのときは、異常の発生要因を判別したり、データあるいはプログラムを正常に復帰できないことが多い。

【0013】図1に示したようなCPU装置の外のSDRAM3を用いて処理を実行するのであれば、CPUバス6を観測することによりCPUコア11でどのような処理を実行しているかを判断することができる。また、プログラムの不具合などによりSDRAM3にコピーされたプログラムが書き換えられるような事態が発生するときはSDRAM3に対するライトサイクルが発生したときに限られるので検出も容易である。したがって、プログラムを開発するときも時間をかけずに不具合を発見できる。しかしながら、図2に示したようなシステムでは、CPU装置内でクローズされた処理となるので外部で検出することができず、プログラム開発に時間がかかるようになる。さらに、CPU装置内に内蔵されるDRAMの容量が増加して、CPU装置内でクローズされる処理が増加すると、ますますCPUで実行中の命令を把握するのが困難となり、プログラムの開発効率も低下する。したがって、信頼性の高いプログラムを提供するために手間とコストがかかり、ハード的には低コストで高

性能のプリンタが提供できる環境にありながら、それを活かした製品を提供するのが困難である。

【0014】そこで、本発明においては、RAMを内蔵したCPU装置において、RAMにコピーされたプログラムをCPU装置内部で実行する場合に不正なアクセスを防止することができるCPU装置を提供することを目的としている。また、そのような実行状態を外部でも観察可能として、不正アクセスを発生させるようなことのない信頼性の高いプログラムを効率良く開発することができるCPU装置を提供することを目的としている。さらに、そのようなCPU装置を用いた情報処理装置、情報処理装置の制御方法および制御プログラムを提供することも目的としている。

【0015】

【課題を解決するための手段】このため、本発明においては、CPU装置に内蔵されたRAMの特定のアドレスに対する書き込みを禁止する保護機能をCPU装置に設け、RAMにコピーされたプログラムが不正なアクセスによって改変されることを防止できるようにしている。また、書き込み禁止されたアドレスに対する書き込み指示がCPUコアから出力されると、それをCPUコアにフィードバックし、外部に対し不正なアクセスが発生したことを通知できるようにしている。すなわち、本発明の、CPUコア部と、RAM部と、このRAM部に対する入出力を管理するRAM管理部と、CPUコア部、RAM部およびRAM管理部とを接続するバスとが内蔵されたCPU装置においては、RAM管理部が、RAM部の特定のアドレスに対する書き込みを禁止可能な保護機能を備えていることを特徴としている。さらに、RAM管理部は、CPUコア部から保護機能によって書き込み禁止されているアドレスに対する書き込み指示が出力されると不正であることをCPUコア部に通知する通知機能を備えていることを特徴としている。

【0016】このようなCPU装置と、CPU装置で実行可能なプログラムを記憶したROMなどの外部記憶装置とを備えた情報処理装置においては、特定のアドレスを書込み禁止可能な保護機能を設けることにより、RAM部の書き込み禁止可能な領域を書込み可能にし、外部記憶装置のプログラム（モジュール）の少なくとも1部をコピーする第1の機能または工程と、RAM部の書き込み禁止可能な領域を書込み禁止にしてRAM部にコピーされたプログラムを実行する第2の機能または工程とを設けることができる。そしてこれらの機能または工程により、RAM部上のプログラムがコピーされた領域（アドレス空間）を書込み禁止にできるので、そのアドレスに不正な書き込みを行うアクセスがあってもプログラムが改変されるのを保護できる。

【0017】また、RAM部に対しそのような不正なアクセスがあったことをCPUコア部に通知することにより、CPUコア部が処理を中止してユーザに対し警告を

発することができる。あるいは、不正な書込みを命令したモジュールを判別し出力する第3の機能あるいは工程を設けることにより、プログラムモジュール内の不具合を開発者に通知できるので、プログラム開発効率を向上することができる。

【0018】書込み禁止を行う保護機能はいつかの手段により実現できる。RAM管理部に、CPUコア部から出力されたアドレスをデコードし、書込みが禁止されているアドレスであればRAM部に対して書込み許可信号を出力しないライトプロテクト回路を設けることが可能である。書込み禁止用の専用回路を設けることにより、後述するアドレス変換機能を備えていないCPU装置であっても保護機能を搭載することが可能である。また、プログラムの書換え禁止だけではなく、CPUコアで処理を実行するために重要なデータの書換えを禁止するなど、最も汎用性の高い保護機能を提供できる。

【0019】RAM管理部がCPUコア部から出力された仮想アドレスをRAM部の物理アドレスに変換する変換バッファを備えている場合は、この変換バッファに物理アドレス内に書込みを禁止するアドレスを設定する機能を設けることによっても保護機能を実現できる。また、保護機能を実現するために必要となるCPU装置上の面積も小さくできる。さらに、書込み禁止されるアドレスに書込み禁止を解除してプログラムをコピーし、その後、保護機能を働かせることにより、RAM上にコピーされるプログラムが変えられても、それに対する書込み禁止を確実に行うことができる。

【0020】このようなCPU装置と、このCPU装置で実行可能なプログラムを記憶したROMなどの外部記憶装置とを有する情報処理装置は、ジョブ単位で実行するプログラムモジュールが限定されており、CPU装置内のRAMにコピーされる頻度の少ない印刷装置などの特定の用途に特化した情報処理装置に適している。このような処理が特化した情報処理装置においては、さらに、コピーされる頻度が少なく、また、キャッシュのように書き換えられたデータが外部記憶装置と一致するように外部記憶装置との入出力を繰り返す必要がないので、CPU装置に内蔵されるRAM部はDRAMで良い。したがって、本発明により、コンパクトで記憶容量の大きなメモリを備え、低コストで供給可能なCPU装置であって、高速で信頼性の高い処理機能を備えたCPU装置を提供することができる。また、このCPU装置を用いることにより、高速で信頼性が高く、さらに、低コストで供給可能な情報処理装置、およびCPU装置で処理されたデータを印刷する印刷機構を有する印刷装置を提供することができる。

【0021】

【発明の実施の形態】以下に図面を参照して、本発明をさらに詳しく説明する。図3に、本発明にかかるプリンタ1の概略構成をブロック図で示してある。本例のプリ

ンタ1の制御システム8の主な構成は、図1あるいは図2に示したプリンタの制御システムと同様であり、CPU装置10と、作業用のSDRAM3と、SDRAM3および他のメモリの管理などを行うメモリコントローラ2とがCPUバス6で接続されており、さらに、メモリコントローラ2に外部バス7を介して初期設定用のプログラム(IPL)を記憶したROM4と、描画処理機能、言語処理機能などの実行用の複数のプログラムモジュールを記憶したROM5とが接続されている。また、CPUバス6には、印刷用のデータをDMA転送する受信用のDMAコントローラ21と、CPUコア11で処理された描画用のデータを印刷機構(エンジン)23にDMA転送するためのDMAコントローラ22が接続されている。

【0022】本例のCPU装置10は、ROM4または5、さらには内蔵のDRAM12からフェッチした命令に基づく処理を実行するCPUコア11と、CPU装置10の内部の作業用メモリであるDRAM12と、このDRAM12を管理する管理部15と、これらを装置内で接続する内部バス14と、外部バスのCPUバス6と内部バス14とのインタフェースである外部バス制御部13とを備えている。DRAM12を管理する本例の管理部15は、仮想アドレスを物理アドレスに変換するTLB19と、CPUコア11から出力されたアドレスをデコードしてDRAM12に対しライト信号φw、リード信号φrおよびアドレス信号φaを供給するDRAMコントローラ18とを備えており、これらに加え、DRAM12の一部領域を書込み禁止にできるライトプロテクト回路16を備えている。

【0023】図4に拡大して示してあるように、ライトプロテクト回路16は、DRAM12の物理アドレスのうち、ライトプロテクトするアドレスが設定されたルックアップテーブル32と、CPUコア11から内部バス14のアドレスバス14aに出力されたアドレスをデコードしての書込み禁止のアドレスか否かを判断するデコード部31と、書込み禁止のアドレスであれば0にセットされ、書込み可能であれば1にセットされるフリップフロップ33とを備えている。さらに、ライトプロテクト回路16は、フリップフロップ33の出力およびDRAMコントローラ18からのライト信号φwとの論理積をとるアンド回路34を備えており、DRAMコントローラ18から出力されたライト信号φwが書込み許可されているアドレスに対するライト信号のときにのみ、DRAM12に対する書込み信号φwpを1にして供給し、書込み禁止されているアドレスに対してライト信号φwが1であってもDRAM12に対する書込み信号φwpは1にしない。

【0024】また、フリップフロップ33の出力を反転して入力し、DRAMコントローラ18からのライト信号φwとの論理積をとるアンド回路35を備えており、

書き込み禁止のアドレスに対し DRAM コントローラ 18 からのライト信号 ϕw が 1 になると CPU コア 11 に対し割り込み信号 ϕi を 1 にして出力するようになっている。なお、DRAM 12 に対する最終的な書き込み信号 ϕwp を生成するアンド回路 34 に対して、フリップフロップ 33 の出力は外部のメモリコントローラ 2 からプロテクト信号 ϕp との論理和をとるオア回路 36 を介して入力されており、ROM 5 から DRAM 12 にプログラムをコピーするときはプロテクト信号 ϕp を 1 にしてライトプロテクトを外せるようになっている。

【0025】このように、本例のライトプロテクト回路 16 はライト信号 ϕwp を切り替えて、書き込み禁止されているアドレスに対しては書き込み許可を出力せずに所定のアドレスに対する書き込みを禁止する保護機能と、その書き込みが禁止されたアドレスに対するライト信号が出力されるたときに割り込み信号 ϕi を用いて CPU コア 11 にフィードバックする通知機能を備えている。したがって、このライトプロテクト回路 16 により、DRAM 12 のアドレス空間に書き込み禁止された領域 12a と、書き込み禁止されない領域 12b とを設定することが可能であり、さらに書き込み禁止される領域 12a は、必要に応じて書き込み禁止を解除できるようになっている。

【0026】図 5 および図 6 に基づき、本例の CPU 装置 10 を備えたプリンタ 1 の制御システム 8 における処理の概要を説明する。図 5 に、CPU 装置 10 の DRAM 12 に ROM 5 に記憶されているプログラムの一部

(モジュール) をコピーするときの処理を示してある。この処理は、プリンタ 1 がリセットされたときに ROM 4 に記憶されている IPL によって実施される。また、TLB ミスなどによって、DRAM 12 にコピーされているプログラムを書きかえる必要が発生したときに行われる。プリンタ 1 に供給される印刷用のデータは、セイコーエプソン社の ESC/P、あるいはヒューレットパカード社の PCL などの異なった言語によって記載されているが、これらの処理言語はジョブ単位で変更されることはない。また、処理する画像データの解像度、あるいはカラー/モノクロなど条件も変更されることはない。CPU 装置の DRAM 12 に記憶されたプログラムを切り替える処理は、1 つのジョブを実行している間に行われることはなく、処理言語などの条件の異なるジョブが発生したときに行われる。

【0027】DRAM 12 にコピーされているプログラムを変更する場合は、まず、ステップ 51 でメモリコントローラ 2 から出力されているプロテクト信号 ϕp を 0 にして DRAM 12 のライトプロテクトを解除し、ステップ 52 で ROM 5 に記憶されているプログラムのうち、ジョブを実行するために必要なモジュールを DRAM 12 のライトプロテクト可能な領域にコピーする(第 1 の機能あるいは工程)。DRAM 12 には、メモリコントローラ 2 の管理下にある ROM 5 に記憶されている

実行プログラムの一部がコピーされるので、DRAM 12 のライトプロテクトされている領域にコピーするタイミングはメモリコントローラ 2 で把握することが可能である。このように、メモリコントローラ 2 によってライトプロテクトを解除できるようにしておくことにより、CPU コア 11 で実行されているプログラムに影響されずに DRAM 12 のライトプロテクトを解除あるいは設定することができる。このため、万一、DRAM 12 にコピーされたプログラムに異常があっても CPU コア 11 によってライトプロテクトが解除されることはなく、安全である。

【0028】次に、DRAM 12 にコピーされると、ステップ 53 でプロテクト信号 ϕp を 0 にして、プログラムがコピーされたアドレスをライトプロテクト回路 16 の保護機能を用いて書き込み禁止とし、DRAM 12 のプログラムがコピーされた領域が書き込み保護する。この状態で、ステップ 54 において DRAM 12 にコピーされたプログラム(モジュール)から CPU コア 11 が命令をフェッチしてジョブを実行する(第 2 の機能あるいは工程)。そして、ジョブの実行中に不正が書き込み命令がフェッチされると、図 6 に示したように書き込みは実行されずプログラムが保護されると共に、割り込み信号 ϕi が発生してエラー処理が行われる。したがって、ROM 5 に用意されたプログラムモジュールに不正なアクセスを行う命令が含まれている場合であっても、それが実行される前に CPU コア 11 の動作を停止し、ユーザに対しサービスコールを要求することができる。このため、DRAM 12 にコピーされたプログラムが改変されたり、あるいは、それに伴って異常な処理が CPU コア 11 によって実行されることを未然に防止することが可能となる。したがって、プリンタ 1 の制御動作の信頼性をいっそう向上することができる。

【0029】ステップ 61 で、CPU コア 11 から書き込み用のアドレスが内部バスのアドレスバス 14a に出力されると、ステップ 62 においてライトプロテクト回路 16 がアドレスをデコードしてライトプロテクトされているアドレスであるかを判断する。ステップ 63 において、ライトプロテクトされていないアドレスに対し書き込み信号 ϕw が出力されている場合は、 ϕwp を 1 にしてステップ 66 において DRAM 12 に対し書き込みが実行される。

【0030】一方、ライトプロテクトされているアドレスに対して書き込み信号 ϕw が出力されている場合は、ステップ 64 で、割り込み信号 ϕi が CPU コア 11 に出力され、ステップ 65 でエラー処理が行われる。このエラー処理では、不正な書き込み命令があったことが示されると共に、その命令をフェッチしたモジュールが特定されて出力されるようになっており(第 3 の機能あるいは工程)、プログラム開発段階において、不正な書き込み命令が含まれるモジュールが即座に分かるようになってい

る。したがって、CPU装置10でクローズされた処理を制御するプログラムモジュールであっても、DRAM12に対する不正な書き込み処理についてはすぐにその命令を含んだモジュールを特定し、デバックすることができる。

【0031】このため、CPU装置でクローズされてしまうような処理を行うプログラムであっても、開発段階において不具合個所の把握が容易となり、プログラム開発効率を大幅に向上でき、信頼性の高いプログラムを提供することができる。また、ユーザサイドでエラーが発生した場合であっても、その不具合個所を特定できるので、アフターサービスあるいはクレーム処理もすばやく対応することができる。

【0032】このように、本例の内蔵メモリの書き込み保護機能を備えたCPU装置10を採用することにより、CPU装置10に内蔵されたDRAM12にコピーされたプログラムモジュールを自分自身で書き換えることを未然に防止することが可能となる。したがって、CPU装置10に内蔵されたDRAM12にプログラムモジュールをコピーし、それに基づいて処理を実行する、高速で信頼性の高いプリンタ1を提供することができる。また、プリンタ1で実行するジョブに必要なプログラムモジュールに限定してDRAM12にコピーすることができ、そのコピーされたプログラムを保護できる。このため、CPU装置10に内蔵されたDRAM12を有効に活用した信頼性が高く高速のプリンタを低コストで提供することができる。もちろん、DRAM12全体をプログラムモジュールのコピー領域として利用し、プログラムの実行中はDRAM12全体を書き込み保護することも可能である。しかしながら、本例のように、DRAM12を書き込み保護される領域12aと、書き込み保護されない領域12bとに分けて、DRAM12の一部を描画データなどを出力する作業領域として利用したことによりトータルの処理時間を短縮できることもある。

【0033】なお、本例では、ライトプロテクト回路16を設けてDRAM12の保護機能を実現しているが、TLB19で仮想アドレスを物理アドレスに変換する際に、物理アドレスに書き込み禁止するアドレスを設定しておくことももちろん可能である。TLBを用いた方式は、新たに回路を設けなくてすむ点では優れているが、仮想記憶手法を用いないOSで動作する情報処理装置では保護機能を使用できないなど、保護機能を利用できる機会が限定される可能性がある。したがって、汎用性という点では、保護機能用に専用の回路を設けた方が望ましい。

【0034】また、本例のCPU装置10では内蔵メモリとしてDRAMを用いているが、SRAMを用いたキャッシュ回路に上述した書き込み禁止機能を設けることももちろん可能である。しかしながら、先に説明したように、キャッシュ回路は、汎用性の大きな回路であり、ま

た、ハードディスクあるいはRAMディスクなどの外部記憶装置上のデータとの同一性を担保することが必要なもので、それにライトプロテクト機能を搭載すると回路規模が非常に大きくなり、実現することは難しい。これに対し、本例のCPU装置10のように、DRAMであれば記憶容量の大きなものを比較的 low コストで内蔵することが可能である。さらに、プリンタなどの処理が特化されている情報処理装置においては、DRAMの利用方法もプログラムのコピーあるいは一時的に生成されるデータの記憶領域などに限定されるので、キャッシュ機能を設けずにすむ。したがって、ライトプロテクト機能も内蔵したCPU装置を低コストで提供することが可能であり、高速で信頼性の高い処理を実行可能なプリンタなどの情報処理装置を低コストで提供することができる。

【0035】

【発明の効果】以上に説明したように、本発明においては、CPU装置に内蔵されたRAMに対し書き込みを禁止できる保護機能を設けるようにしており、これにより、CPU自身によりRAMにコピーされたプログラムが書き換えられてしまうことを防止でき、信頼性の高いCPU装置およびこれを用いた情報処理装置を提供できる。さらに、保護機能と共に、不正なアクセスが行われたときにそのモジュールを出力する通知機能も設けることにより、プログラムの開発効率も向上でき、信頼性の高いプログラムを容易に開発し提供することができる。

【図面の簡単な説明】

【図1】仮想記憶手法を用いてROM上の実行プログラムの一部のモジュールをRAMにコピーして実行する機能を備えたプリンタの概要を示すブロック図である。

【図2】メモリを内蔵したCPU装置を用いたプリンタの概要を示すブロック図である。

【図3】本発明の実施の形態に係る保護機能を備えたCPU装置を用いたプリンタの概要を示すブロック図である。

【図4】図3に示したライトプロテクト回路の回路例を示す図である。

【図5】図3に示したプリンタにおいて、プログラムの一部をCPU装置に内蔵されたDRAMにコピーする処理を示すフローチャートである。

【図6】図3に示したプリンタにおいて、CPU装置に内蔵されたDRAMにコピーされたプログラムを実行する様子を示すフローチャートである。

【符号の説明】

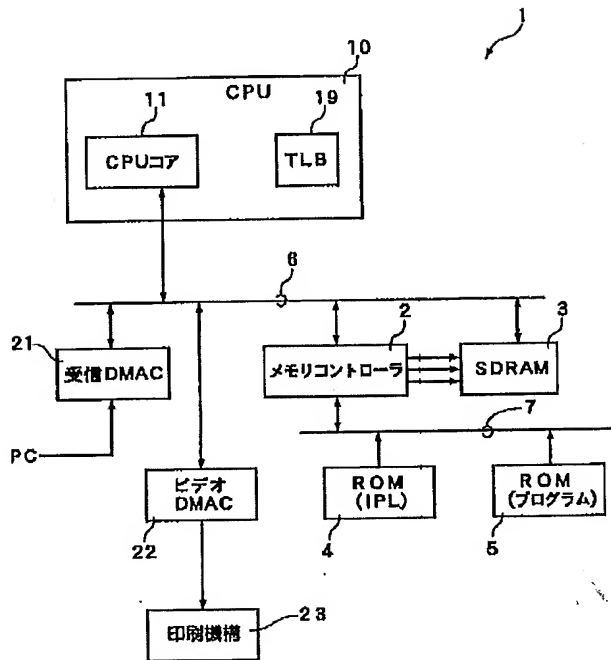
- 1 プリンタ
- 2 メモリコントローラ
- 3 SDRAM
- 4, 5 ROM
- 6, 7 バス
- 10 CPU装置
- 11 CPUコア

- 12 内蔵DRAM
13 外部バス制御回路
15 DRAM管理部
16 ライトプロテクト回路
18 DRAMコントローラ

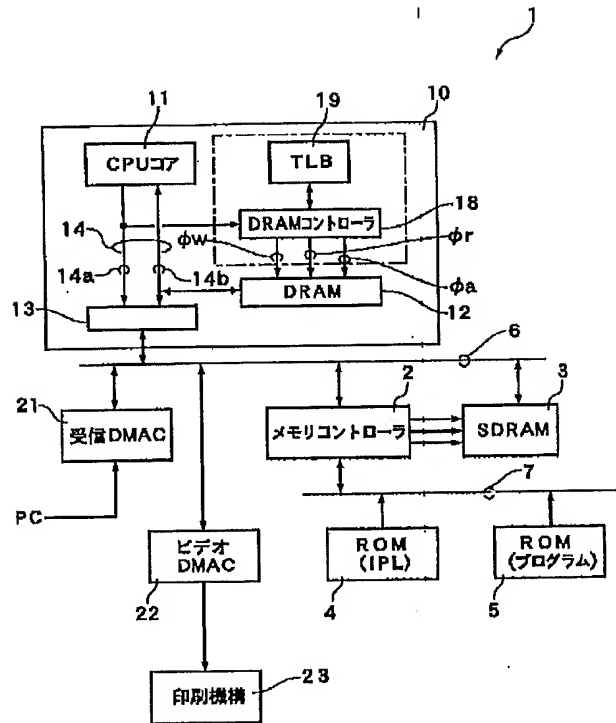
- * 19 TLB
21 受信DMAC
22 ビデオDMAC
23 印刷機構 (エンジン)

*

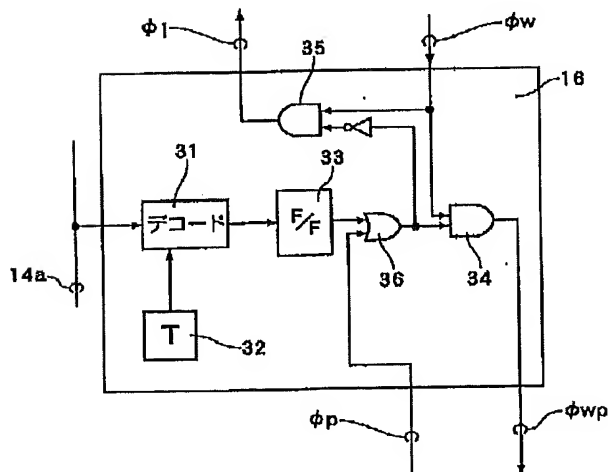
【図1】



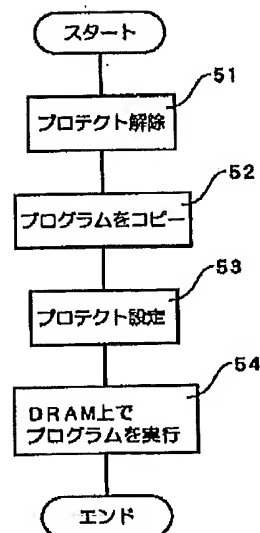
【図2】



【図4】



【図5】



【图 6】

